

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-162450

(43) Date of publication of application : 07.06.2002

(51)Int.Cl.

G01R 31/316

H03M 1/10

(21)Application number : 2000-356724

(71)Applicant : MITSUBISHI ELECTRIC CORP  
RYODEN SEMICONDUCTOR SYST  
ENG CORP

(22)Date of filing : 22.11.2000

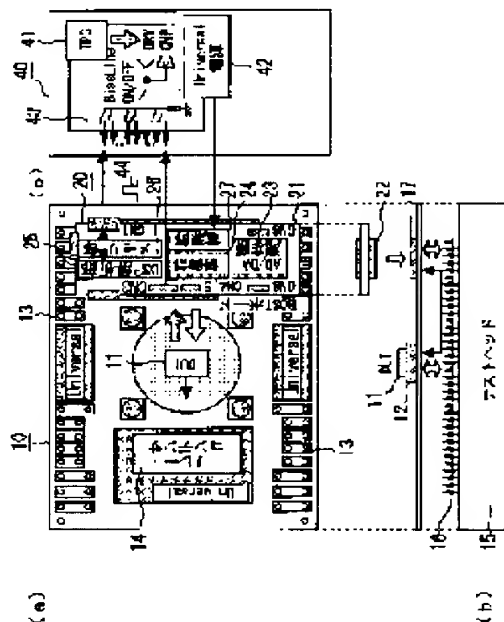
(72)Inventor : MORI OSANARI  
YAMADA SHINJI  
FUNAKURA TERUHIKO

## (54) TESTING DEVICE OF SEMICONDUCTOR INTEGRATED CIRCUIT, AND TEST METHOD OF THE SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a testing device of a semiconductor integrated circuit, capable of executing a test of an A/D conversion circuit and a D/A conversion circuit highly accurately at high speed concerning the mixed signal type semiconductor integrated circuit, having the A/D conversion circuit and the D/A conversion circuit.

**SOLUTION:** A test auxiliary device is installed near a test circuit board, on which the semiconductor integrated circuit to be tested is installed. The test auxiliary device is provided with a data circuit for giving an analog test signal to the A/D conversion circuit of the semiconductor integrated circuit to be tested and a digital test signal to the D/A conversion circuit thereof; a measurement data memory for storing a test output from the semiconductor integrated circuit to be tested; and an analysis part for analyzing the stored data in the measurement data memory.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-162450

(P2002-162450A)

(43) 公開日 平成14年6月7日(2002.6.7)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード\*(参考)

G 0 1 R 31/316

H 0 3 M 1/10

C 2 G 0 3 2

H 0 3 M 1/10

G 0 1 R 31/28

D 5 J 0 2 2

C

審査請求 未請求 請求項の数18 O L (全 15 頁)

(21) 出願番号

特願2000-356724(P2000-356724)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(22) 出願日

平成12年11月22日(2000.11.22)

(71) 出願人 591036505

三菱電機セミコンダクタシステムエンジニアリング株式会社

兵庫県伊丹市瑞原4丁目1番地

(72) 発明者 森 長也

兵庫県伊丹市瑞原4丁目1番地 三菱電機セミコンダクタシステムエンジニアリング株式会社内

(74) 代理人 100082175

弁理士 高田 守 (外3名)

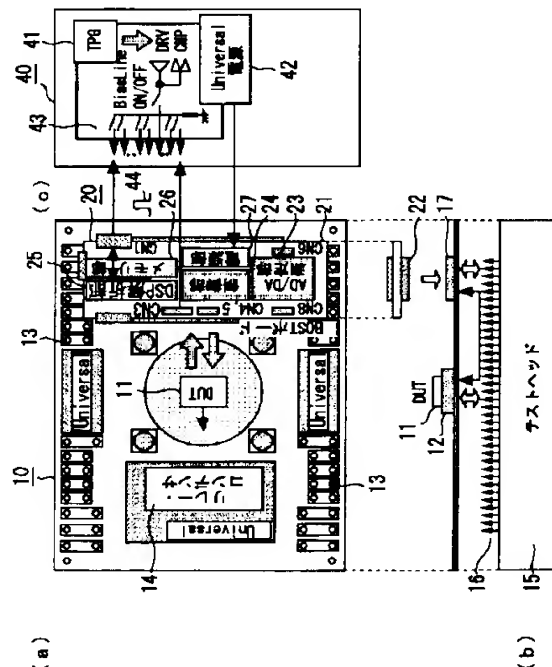
最終頁に続く

(54) 【発明の名称】 半導体集積回路の試験装置および半導体集積回路の試験方法

(57) 【要約】

【課題】 A/D変換回路とD/A変換回路を有するミックス・シグナルタイプの半導体集積回路について、A/D変換回路とD/A変換回路の試験を、高精度に、高速で行うことのできる半導体集積回路の試験装置を提案する。

【解決手段】 被試験半導体集積回路を搭載したテスト回路基板の近傍に、テスト補助装置を設け、このテスト補助装置には、被試験半導体集積回路のA/D変換回路にアナログ試験信号を、そのD/A変換回路にデジタル試験信号を与えるデータ回路と、被試験半導体集積回路からの試験出力を記憶する測定データメモリと、この測定データメモリの記憶データを分析する解析部を設けた。



## 【特許請求の範囲】

【請求項1】 アナログ信号をデジタル信号に変換するA、D変換回路とデジタル信号をアナログ信号に変換するD、A変換回路を含む被試験半導体集積回路、信号の取込みを行うように構成されたテスト回路基板、このテスト回路基板の近傍に配置されそれに接続されたテスト補助装置、前記テスト補助装置に接続された試験機を備え、前記テスト補助装置は、アナログ試験信号を発生し前記被試験半導体集積回路のD、A変換回路に供給するテスト回路と、このテスト回路からのアナログ試験信号をアナログ試験信号に変換して前記被試験半導体集積回路のA、D変換回路に供給する試験用D、A変換回路と、前記被試験半導体集積回路のD、A変換回路からのアナログ試験出力をアナログ試験出力に変換する試験用A、D変換回路と、前記被試験半導体集積回路のA、D変換回路からのアナログ試験出力を前記試験用A、D変換回路が出力するデジタル試験出力を記憶する測定メモリアドレス、前記測定メモリアドレスに記憶された前記各アナログ試験出力を解析する解析部とを有し、前記試験機からの指示に基づいて前記デジタル試験信号と前記アナログ試験信号を被試験半導体集積回路に送り、前記測定メモリアドレスに記憶された各アナログ試験出力を前記解析部により解析した解析結果を、前記試験機に送り、これらに構成された半導体集積回路の試験装置。

【請求項2】 前記半導体集積回路が半導体集積回路チップをモールド樹脂で覆ったモールド樹脂、複数の端子を導出したモールド型上とを有して構成され、前記テスト回路基板がこのモールド型上に装着するものが、これを有する請求項1記載の半導体集積回路の試験装置。

【請求項3】 前記半導体集積回路が半導体チップに含まれており、前記テスト回路基板には前記半導体集積回路に、テストする複数のパッドが設けられている請求項1記載の半導体集積回路の試験装置。

【請求項4】 前記テスト補助装置が前記試験用D、A変換回路、前記試験用A、D変換回路と前記測定メモリアドレスと前記解析回路とを搭載したテスト補助基板を有している請求項1記載の半導体集積回路の試験装置。

【請求項5】 前記テスト補助基板が前記テスト回路基板の上に挿入されるようになされた請求項4記載の半導体集積回路の試験装置。

【請求項6】 前記テスト補助基板が前記テスト回路基板に積載されている請求項4記載の半導体集積回路の試験装置。

【請求項7】 前記テスト補助装置が前記テスト回路基板に直接取り付けられている請求項1、または前記記載の半導体集積回路の試験装置。

【請求項8】 前記試験用A、D変換回路および前記被試験半導体集積回路のA、D変換回路がデジタル試験出力を出力する毎に進め信号を出力し、これに基づき、前記データ回路からのデジタル試験信号が進み、また測定

データメモリのアドレスが進められる請求項1記載の半導体集積回路の試験装置。

【請求項9】 前記被試験半導体集積回路のA、D変換回路がデジタル試験出力を出力する毎に進め信号を出力し、この進め信号に基づき、前記テスト回路からのアナログ試験信号が進み、また測定メモリアドレスが進められる請求項1記載の半導体集積回路の試験装置。

## 【発明の利便性説明】

## 【0001】

【産業上の利用分野】 この発明は半導体集積回路の試験装置、特にアナログ信号をデジタル信号に変換するD、A変換回路と、デジタル信号をアナログ信号に変換するD、A変換回路とを含む半導体集積回路の試験装置に関するものである。

## 【0002】

【従来の技術】 この半導体集積回路の試験装置は、アナログ信号とデジタル信号とを相互に変換する変換回路を有して構成されている。特に半導体集積回路のテストに用いられるアナログ試験出力とデジタル試験出力とを組み合わせる構成集積回路（以下「LST」）として構成される。このLSTにおいて、高性能、高精度のデジタル回路とアナログ回路を組み合わせる混合型（アナログ・デジタル）が急速に進んでいる。これら半導体集積回路に対する試験装置について、この混合型の対応が進み、試験装置メーカーは、アナログ・デジタル半導体集積回路に対応するアナログを提供されている。

【0003】 しかし、このアナログ・デジタル半導体集積回路に対応するアナログはその高性能仕様に対応するため、装置が高価格化する傾向にあり、そのような状況のなかで、既存の低速、低精度の（例えば、LSTなど）に用いられたアナログを再利用して、アナログの高価格化を避ける動きも出てきている。

【0004】 従来の試験装置での大きな課題が、アナログ信号をデジタル信号に変換するD、A変換回路と、デジタル信号をアナログ信号に変換するA、D変換回路の試験であり、これらの高精度化に伴い、これらの変換回路を含む半導体集積回路に対する試験装置を如何に低価格で実現するかが課題となっている。

【0005】 一般的なアナログの試験環境では、テスト内部の測定装置から被試験半導体集積回路（DUT）という、測定の測定経路には、DUT回路基板（DUTボード）、ケーブルなどのアナログとDUT間接続治具が複数存在し、その測定経路が長いため、ノイズ発生、測定精度低下の原因となり、また複数のDUTを同時に試験することが難しくなる。また、低速アナログでは、その速度の制限により、実使用速度での試験が不可能な点、最速試験での試験時間の増大が懸念される。

【0006】 特開平1-316024号公報には、テスト

主回路のD/A変換部からのデータにより指定されたアドレスに変換データを収容するための記憶素子を設け、D/A変換したアドレス信号をA/D変換器に人力し、その出力を記憶素子に順次格納し、全てのアドレスに対して変換データを収容し記憶素子に格納した変換データを順次アドレス指定によるデータの入力と変換データを順次比較判定するものも提案されている。

【00007】また、D/A変換部からのデータと変換データを記憶する記憶素子に付するアドレスの制御信号をアドレス供給する必要がある。さらに記憶素子の記憶データをアドレス供給する必要があり、アドレスDレジスタの間には測定経路として、アドレスにより測定精度の調整が恐れられる。またアドレスレジスタはデータ数の倍のビット数でDレジスタに対して同時測定は困難である。さらに、変換データをアドレスと逐次通信に時間がかかる。また試験結果を判定処理を主試験が終了後に行うので試験時間が短縮し困難である。

【00008】

【発明が解決しようとする課題】この発明は、次の課題を改善し、高速度でしかも高精度の測定をより安価に実現する半導体集積回路の試験装置を提案するものである。

【00009】またこの発明は高速度でしかも高精度の測定を実現し、併せて複数の半導体集積回路に対する試験を同時にこなすことのできる半導体集積回路の試験装置を提案するものである。

【00010】

【課題を解決するための手段】この発明による半導体集積回路の試験装置は、アナログ信号をデジタル信号に変換するA/D変換回路と、デジタル信号をアナログ信号に変換するD/A変換回路を含む被試験半導体集積回路と信号の取り扱を行うための構成されたテスト回路基板、このテスト回路基板の通路上に配置されそれに接続されたテスト補助装置、および前記テスト補助装置に接続された試験機を備え、前記テスト補助装置は、アナログ試験信号を発生して前記被試験半導体集積回路のD/A変換回路に供給するテスト回路と、このテスト回路からのアナログ試験信号をアナログ試験信号に変換して前記被試験半導体集積回路のA/D変換回路に供給する試験用D/A変換回路と、前記被試験半導体集積回路のD/A変換回路からのアナログ試験出力をデジタル試験出力に変換する試験用A/D変換回路と、前記被試験半導体集積回路のA/D変換回路からのデジタル試験出力と前記試験用A/D変換回路のデジタル試験出力を記憶する測定データメモリと、前記測定データメモリに記憶された前記各デジタル試験出力を解析する解析部とを有し、前記試験機が、この指令に基づいて前記デジタル試験信号とアナログ試験信号を被試験半導体集積回路に与え、前記測定データメモリに記憶された各デジタル試験出力を前記解析部によって解析した解析結果を、前記試験機に

与えるように構成されたものである。

【00011】またこの発明による半導体集積回路の試験装置は、前記半導体集積回路が半導体集積回路モジュールをシリコン樹脂で覆い、シリコン樹脂に複数の導線を導出したモジュール型として構成され、前記テスト回路基板がこのモジュール型上に装着するテストを有するものである。

【00012】またこの発明による半導体集積回路の試験装置は、前記半導体集積回路が半導体モジュールを有し、前記テスト回路基板には前記半導体集積回路に付する複数の導線のシリコン樹脂に覆われたものである。

【00013】またこの発明による半導体集積回路の試験装置は、前記テスト補助装置が前記試験用D/A変換回路と前記試験用A/D変換回路と前記測定データメモリと前記解析回路とを搭載したテスト補助基板を有するものである。

【00014】またこの発明による半導体集積回路の試験装置は、前記テスト補助基板が前記テスト回路基板に、テストに種入れされたものになされたものである。

【00015】またこの発明による半導体集積回路の試験装置は、前記テスト補助基板が前記テスト回路基板に積載されているものである。

【00016】またこの発明による半導体集積回路の試験装置は、前記テスト補助装置が前記テスト回路基板上に直接組付けられたものである。

【00017】またこの発明による半導体集積回路の試験装置は、前記試験用A/D変換回路および前記被試験半導体集積回路のA/D変換回路がアナログ試験出力を出力する毎に進む信号を出力し、これに基づき、前記テスト回路からのアナログ試験信号が進み、また測定データメモリに記憶されるものである。

【00018】さらにこの発明による半導体集積回路の試験装置は、前記被試験半導体集積回路のA/D変換回路がデジタル試験出力を出力する毎に前記試験機がアナログ信号を出力し、このアナログ信号に基づき、前記テスト回路からのアナログ試験信号が進み、また測定データメモリに記憶されるものである。

【00019】

【実施の形態】実施の形態1 図1はこの発明による半導体集積回路の試験装置に実施の形態1の構成を示す図であり、(a)図はテスト回路基板(DUTガー1)部分の上面図、(b)図はその側面図、(c)図は試験機(テスト)部分の構成図である。

【00020】この実施の形態1の試験装置は、テスト回路基板(DUTガー1)10、テスト補助装置(BOS)20、及び試験機(テスト)40を備えている。

【00021】テスト回路基板10は、この実施の形態1では、被試験半導体集積回路(DUT)11として、モジュール型10を対象とするものである。モジュール型10

は半導体集積回路（IC）チップをモールド樹脂で覆い、モールド樹脂から複数の端子を導出したものである。このDUT 11のICチップは、例えばバスチップの「シグス・ド・シグナ」型（パーム11）であり、1つのチップ内にデジタル信号をアナログ信号に変換するD/A変換器と、アナログ信号をデジタル信号に変換するA/D変換器を含むものである。DUT 11として、複数のチップを共通の回路基板上に集積した「シグス・ド・シグナ」型の集積回路（パーム11）ICも使用することができ、

【0022】テスト回路基板10は被試験半導体集積回路（DUT）11の端子を挿入するDUTポート12を有し、その周りに多数の接続端子13（例えば、用いるシグ・ド・シグナチップ14を配置したものであり、

【0023】テスト回路基板10の内部には、テストチップ15が配置されている。このテストチップ15は、テスト回路基板10に接続される多数の回路端子16を有し、この回路端子16を介してDUT 11のチップ上に必要な信号のやり取りを行う。

【0024】テスト補助装置（BOS）装置20は、テスト回路基板10の上面に配置される。この実施の形態1では、テスト補助装置20はテスト補助基板21（BOSボード）21により構成され、このBOSボード21はDUTポート10の上面に搭載される。DUTポート10の上面には、その各々のポート17が測定されており、BOSボード21はこのポート17に挿入されるテストチップ22を上面に有し、このテストチップ22を介してポート17に挿入して、DUTポート10上に実装される。このテストチップ22を経てテストチップ15との信号のやり取りが行われる。

【0025】BOSボード21は、BUILT-OFF-SLEFTESTを略称であり、これはテスト40に依存せず、DUT 11内部で自己テスト（BUILT-IN-SELF-TEST）を行うテスト回路を補助するDUT 11外側の試験補助装置が基板であり、A/D、D/A測定部23、制御部24、DSP解析部25、メモリ部26、電源部27を有している。

【0026】テスト40はテストデータ発生器（TPG）41、電源部42、デジタルアナログ変換部43を有し、BOSボード21に対して、電源電圧Vccを供給し、BOSボード21との間でBOS制御信号44をやりとりする。この制御信号44には、テスト40からBOSボード21、DUTポート10への指令が送られる。BOSボード21からテスト40へのデジタル解析結果信号が含まれて、テスト40からBOSボード21へ入力されるデジタル解析結果、および様々な制御信号44は、テストログファイルに記述されたテスト信号条件に基づき、テスト40に内蔵されたマイクロデータ発生器41により、他のDUT 11のテストと同様に、テストデータ信号として発生させ、複数

の信号入出力ポートを備えたテスト40のピンヘッドは、テスト部43を通して、BOSボード21、DUTポート10に供給される。一方、BOSボード21に供給されるデジタル解析結果（デジタルデータ情報）は、テスト40のピンヘッドを介して、テスト部43を通して、デジタルアナログ変換部43の特定部にて、アナログ信号とを比較・判定に基づき、その結果情報を取り出す。

【0027】図2は実施の形態1における電気回路の構成を示すブロック図である。DUT 11は、アナログ信号をデジタル信号に変換するA/D変換回路51と、デジタル信号をアナログ信号に変換するD/A変換回路52を備えている。

【0028】BOSボード21は、DUT 11のA/D変換回路51に対してアナログ試験信号を供給する試験用D/A変換回路61と、DUT 11のD/A変換回路52に対してアナログ試験出力をデジタル試験出力に変換する試験用A/D変換回路62を有し、さらにD/A入力ゲート回路（DAC入力ゲート）63、アナログ書き込み制御回路64、測定ゲートメモリ65、アナログ発生回路68、及びDSP解析部69を有する。DSP解析部69はDSPプロセッサROM70を有している。

【0029】試験用D/A変換回路61、試験用A/D変換回路62、DAC入力ゲート回路63、アナログ書き込み制御回路64、測定ゲートメモリ65は、アナログ発生回路68、及びDSP解析部69に含まれている。測定ゲートメモリ66はメモリ部26に、またDSP解析部69はDSP解析部25に含まれている。

【0030】試験用のデジタル試験信号（デジタルデータ）はDAC入力ゲート回路63に書き込まれており、テスト40からの指令に基づいて、このDAC入力ゲート回路63からのデジタルデータは、DUT 11のD/A変換回路52とBOSボード21の試験用D/A変換回路61とに供給される。D/A変換回路61に供給されたデジタル試験信号（デジタルデータ）はアナログ試験信号に変換されて、DUT 11のA/D変換回路51に供給され、このDUT 11のA/D変換回路51でデジタル試験出力に変換され、測定ゲートメモリ66に供給される。一方、DAC入力ゲート回路63から直接DUT 11のD/A変換回路52に供給されたデジタル試験信号は、D/A変換回路52でアナログ試験出力に変換され、これがBOSボード21の試験用A/D変換回路62によりデジタル試験出力に変換され、測定ゲートメモリ66に供給される。測定ゲートメモリ66は、これらのDUT 11のA/D変換回路51から供給されてデジタル試験出力と、D/A変換回路52からA/D変換回路62を経て供給されるデジタル試験出力とを、順次決められたアドレスに記憶する。

【0031】DUT11のA/D変換回路51、BOS Tボード21のA/D変換回路62は、順次アナログ信号をデジタル信号に変換する。1つのアナログ信号を発生する毎にBUSY信号をそれぞれ出力する。これらのBUSY信号は、ともにBOS Tボード21上のデータ書き込み制御回路64に供給される。データ書き込み制御回路64は、供給されたBUSY信号に基づき、DAC出力データ回路65のデジタルデータを各データ単位毎に次のデータ単位に書き込むA/D変換回路65の測定データを記憶する。データ単位毎のデータは、測定データメモリ66に順次書き込まれる。この動作は、BOS Tボード21上のデータを順次進めるように作用する。

【0032】この場合、BUSY信号により、DAC出力データ回路65では、DUT11で変換されたアナログデータのデータの書き込みが進められ、また測定データメモリ66では、DUT11で変換されたデジタル試験出力を記憶する。この順の進められの結果、DUT11では、A/D変換回路51、D/A変換回路52における順次試験に必要な変換が進められ、その変換された測定データを測定データメモリ66に順次記憶されていく。以降は、BOS Tボード21のDSP制御部60で設定された最終のデータになるまで、変換データの進められ、その結果が測定データメモリ66に順次記憶される。

【0033】上記DUT11のA/D変換回路51、D/A変換回路52による変換試験の終了後、BOS Tボード21上のDSP制御部60はDSPプログラムのROM70に記憶されたプログラムを用いて、測定データメモリ66に記憶されている変換データを順次読み出し、変換特性の解析を行う。この解析は、A/D変換特性、D/A変換特性のデータ、D/A変換特性のデータ、微小直線性、積分直線性誤差などの算出を含む。解析結果（Parse）データ情報部61はBOS Tボード21上のデータ40に送信され、データ40でデータ結果処理が行われる。

【0034】実施の形態1において、BOS Tボード21がDUTボード10の近傍に配置され、DUT11のA/D変換回路51、D/A変換回路52の変換試験を行う機能を備えているので、この変換試験はBOS Tボード21上で実行することができる。この結果、DUTボード10とBOS Tボード21間のケーブルの測定系統を、を短縮して、ケーブルによる測定誤差の発生を充分に抑制し、高精度の試験を実現でき、併せてDUTボード10とその近傍のBOS Tボード21間の信号のロスもに基づき、より高速度で試験を行うことが可能である。BOS Tボード21とデータ40との間は、従来の測定データラインをなすことができ、試験精度の向上が見られる。またBOS Tボード21で必要が変換試験を終了して、データ40にはその結果を送信するので、変換データをデータ40に送信するものに比べ、試験速度の向上を図ることができる。

【0035】実施の形態1において、DUT11のA/D変換回路51、D/A変換回路52の変換試験機能はBOS Tボード21上に配置されているので、データ40にはそのための大きな機能を増加する必要はない。このため、データ40の高価格化を防ぎ、従来に低価格のデータを適用することも可能となる。なお、特別な測定機能を持つデータ40を製作する場合、データ40のデータが構成による機能拡張に対して柔軟があり、主回路の拡張や改造を促進するため、開発者にとって簡便なものを、実施の形態1においては、試験データは標準的に整備されているので、データ40、発生器、増幅器、データ40を利用する中で、各種のデータ毎、制御に影響を受けるはBOS Tボード21の構成、他事も可能である。各種データの適用が可能となる。

【0036】実施の形態2、図3はこの発明による半導体集積回路の試験装置が実施の形態2のDUT部分の正面側面図である。この実施の形態2では、実施の形態1のBOS Tボード21がDUTボード10の上面に搭載されている。この実施の形態2は、半導体集積回路のDUTボード10の上面にデータ40を挿入する。そのA/D変換器41、D/A変換器42が試験される。

【0037】図3において、DUTボード10の右上面には、BOS Tボード21が設置され、この設置部分で両ボード間の接続が行われており、ケーブル15とケーブル16間の信号のやりとりが行われる。なお、BOS Tボード21の構成は図1と同じであり、回路構成は図2と同じである。

【0038】実施の形態3、図4はこの発明による半導体集積回路の試験装置が実施の形態3のDUT部分の構成を示す。図4はBOS Tボード21Aの正面図、図5はBOS Tボード21Aの上面図、図6はDUTボード10Aの上面図、図7はそれらの側面図である。この実施の形態3では、従来の半導体集積回路の試験対象（DUT）として用いられる、DUTボード10Aのケーブル17があり、図4に構成され、その中心部の上面にケーブル11Aに対する多数のケーブル30がある。このDUTボード10Aの上面には、接続構造物18を設けて、BOS Tボード21が配置され、このBOS Tボード21Aとケーブル30にはケーブル31が取り付けられていて、BOS T装置20を構成するBOS Tボード21Aと図4に構成され、このBOS Tボード21A上面には、実施の形態1と同様のA/D、D/A測定部23、制御部24、データ部26、DSP解析部25、及び電源部27が配置されている。

【0039】実施の形態3の電気回路の構成は、実施の形態1の図2と同じであり、ケーブル30をケーブル11Aのケーブル相当部分の多数の端子に接続させて、実施の形態1と同様の試験が行われる。ケーブル11Aのケーブル相当部分を順次ずらし、順次隣接するケーブル相当部分の

試験を実施する。

【0040】実施の形態4、図5はこの発明による半導体集積回路の試験装置の実施の形態4のDUT部分を示す。

(a)図は側面図、(b)図は上面図である。この実施の形態4では、実施の形態3において、BOS1が、図2のAが省略され、またBOS1が、図2の1、7、接続構体16が省略され、BOS1装置20を構成するAD、DA測定部21、制御部22、メモリ部24、DSP解析部25、電源部26からなり、図6、図80を持つDUT1が、10A上面に配置され、必要に応じて接続される。

【0041】この実施の形態4の回路構成は実施の形態1の図1と同じであり、同様にしてDUT11AのA、D変換回路51、D、A変換回路52の試験が行われる。

【0042】実施の形態2、3、4に比べて、BOS1装置20、またはBOS1が、図21、21AはDUT1が、110、10Aの近傍に配置され、実施の形態1と同様に試験が実施されているので、実施の形態1と同様に、試験の高精度化、高速化、装置の低価格化を図ることができる。

【0043】実施の形態5、図6はこの発明による半導体集積回路の試験装置の実施の形態5の回路構成を示す。この図1と同じである。この実施の形態5では、DUT111のA、D変換回路51がBUS信号を発生しないようにでき、このため、図840から、図840の信号74が供給され、データ回路63がデジタル単位に進め動作し、測定データメモリ66のデータを進め動作が行われる。なお、BOS1が、図2のA、D変換回路62はBUSY信号を発生するよう構成でき、このB30 BUSY信号は11の信号74と使用できる。その他の構成は、図2と同一である。

【0044】この実施の形態5においては、図840からBOS1装置20に送信される11の信号74はデジタル信号であり、図840とBOS1装置20の間には、アナログ影響を受けやすいアナログ信号系を追加するものではなく、実施の形態1と同様に、試験の高精度化、高速化を図ることができる。

【0045】

【発明の効果】以上のようにこの発明は、図1の回路基板の近傍に配置されたテスト補助装置に、データ回路、試験用D、A変換回路、試験用A、D変換回路、測定ゲータメモリ、およびDSP解析部を設け、このテスト補助装置に1つ、被試験半導体集積回路のA、D変換回路およびD、A変換回路の試験を行うようにしたものであり、A、D変換回路、D、A変換回路を含んだ、テスト、テストゲートを有する半導体集積回路の試験を、高精度に、高速に行うことができ、よって試験装置の低価格化を図ることができる。

【0046】またテスト回路基板にモールドテープを装着

するテストを装備したもので、モールドテープの半導体集積回路のA、D変換回路、D、A変換回路の試験を容易に行うことができ、またテープを装備したテスト回路基板を用いれば、本状態で同様の試験を容易に行うことができる。

【0047】またテスト補助装置が、データ回路、試験用D、A変換回路、試験用A、D変換回路、測定ゲータメモリ、およびDSP解析部を搭載したテスト補助基板を有するものでは、テスト補助装置がテスト補助基板上に集中して構成して装置を簡便化を図ることができ、またテスト補助基板、テスト回路基板の間に挿入されるものは、その組み立てを簡便化でき、またそのテスト補助基板をテスト回路基板に搭載すれば、装置をより簡便化できる。

【0048】またテスト補助装置がテスト回路基板上に直接組み立てられる場合は、装置の構成を一層簡便化できる。

【0049】また試験用A、D変換回路51は、被試験半導体集積回路のA、D変換回路から進め信号を発生するもの、試験機から進め信号を発生するものでは、進め信号は、試験機から試験信号を進め、また測定ゲータメモリのデータを進めながら、効果的な試験を行うことができる。

【図面の簡単な説明】

【図1】この発明による半導体集積回路の試験装置の実施の形態1を示し、(a)図はDUT部分の上面図、

(b)図はその側面図、(c)図は試験機の構成図、

【図2】実施の形態1の回路構成を示すブロック図、

【図3】この発明による半導体集積回路の試験装置の実施の形態2のDUT部分の側面図、

【図4】この発明による半導体集積回路の試験装置の実施の形態3のDUT部分の上面図、(a)図はBOS1が、図2の上面図、(b)図はBOS1が、図2の上面図、(c)図はDUT1が、図2の上面図、(d)図はそれらの側面図、

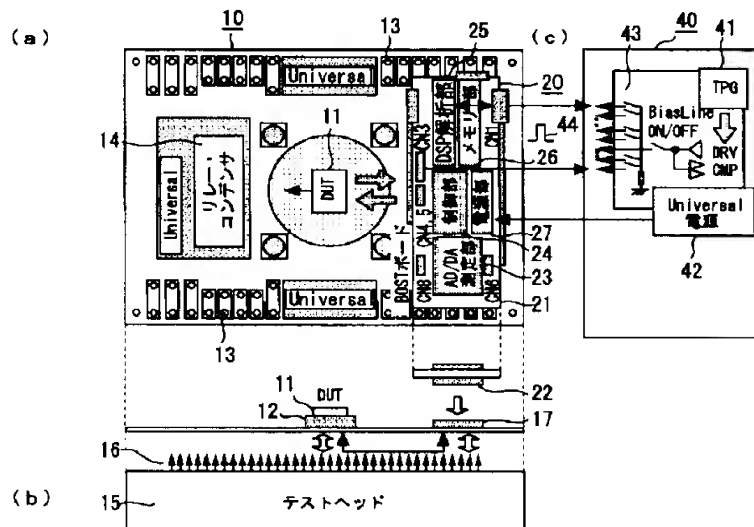
【図5】この発明による半導体集積回路の試験装置の実施の形態4のDUT部分を示し、(a)図はその側面図、(b)図はその上面図、

【図6】この発明による半導体集積回路の試験装置の実施の形態5の回路構成を示すブロック図、

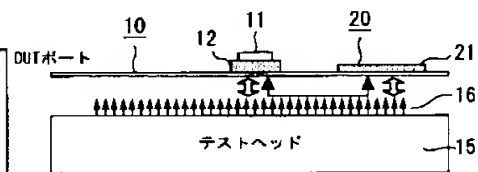
【符号の説明】

10 10A テスト回路基板、DUT1 ナード、  
11 11A 被試験半導体集積回路 (DUT)、  
20 テスト補助装置 (BOS1装置)、 21 21A テスト補助基板 (BOS1が、図2)、  
試験機 (マスタ)、 51 被試験半導体集積回路のA、D変換回路、 52 被試験半導体集積回路のD、A変換回路、 61 試験用D、A変換回路、 62 試験用A、D変換回路、 63 データ回路、 66 測定ゲータメモリ、 69 DSP解析部、

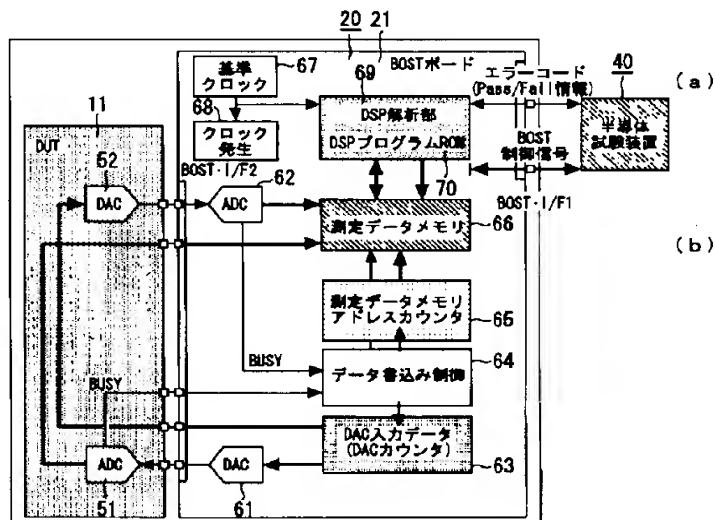
【図1】



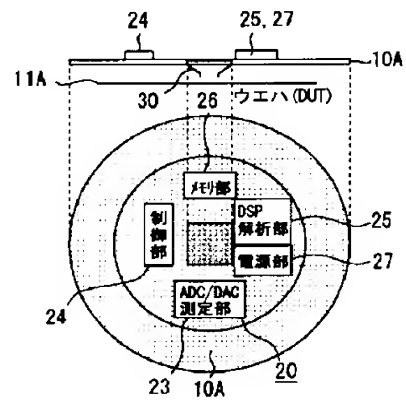
【図3】



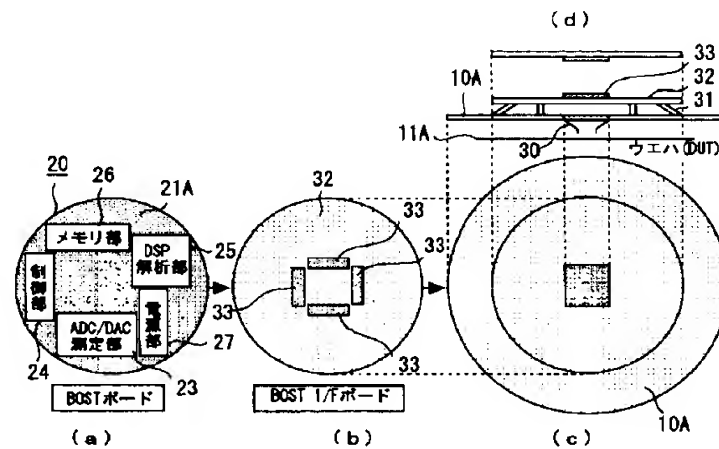
【図2】



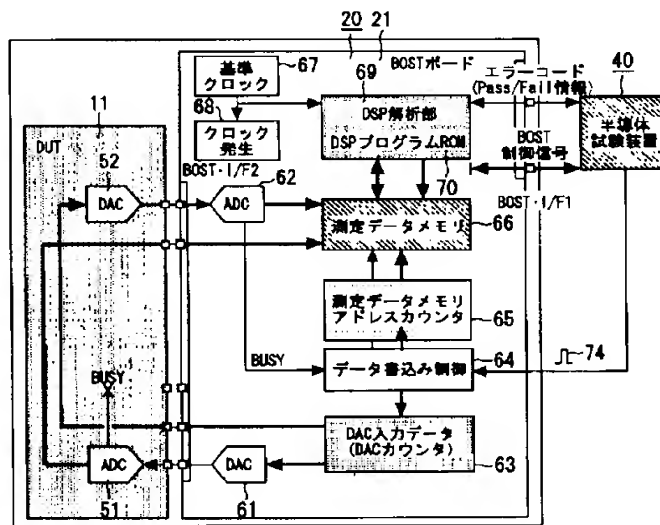
【図5】



【図4】



【図6】



【手続補正書】

【提出日】平成13年4月3日(2001.4.3)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】半導体集積回路の試験装置および半導体集積回路の試験方法

【特許請求の範囲】

【請求項1】 アナログ信号をデジタル信号に変換する

A/D変換回路とデジタル信号をアナログ信号に変換するD/A変換回路を備えた被試験半導体集積回路と信号のやり取りを行うように構成されたテスト回路基板、このテスト回路基板の直傍に配置されそれに接続されたテスト補助装置。前記テスト補助装置に接続された試験機を備えた前記テスト補助装置は、デジタル試験信号を発生して前記被試験半導体集積回路のD/A変換回路に供給するデータ回路と、このデータ回路からのデジタル試験信号をアナログ試験信号に変換して前記被試験半導体集積回路のA/D変換回路に供給する試験用D/A変換回路と、前記被試験半導体集積回路のD/A変換

回路のアナログ試験出力をデジタル試験出力に変換する試験用A/D変換回路と、前記被試験半導体集積回路のA/D変換回路からのデジタル試験出力と前記試験用A/D変換回路からのデジタル試験出力を記憶する測定メモリーと、前記測定メモリーに記憶された前記各デジタル試験出力を解釈する解釈部とを有し、前記試験機からの指示に基づいて前記デジタル試験信号、前記デジタル試験信号を被試験半導体集積回路に入力し、前記測定メモリーに記憶された各デジタル試験出力を前記解釈部により解釈した解釈結果を、前記試験機に出力するよう構成された半導体集積回路の試験装置。

【請求項2】 前記半導体集積回路が半導体集積回路チップを有し、樹脂で覆われたシリコン樹脂から複数の端子を導出したモールド型上において構成され、前記デジタル回路基板のこのシリコン型上に装着するチップを有する請求項1記載の半導体集積回路の試験装置。

【請求項3】 前記半導体集積回路が半導体チップを含むチップであり、前記デジタル回路基板には前記半導体集積回路は、チップと多数のワイヤで接続されている請求項1記載の半導体集積回路の試験装置。

【請求項4】 前記チップ補助装置が前記試験用D/A変換回路と前記試験用A/D変換回路と前記測定メモリーと前記解釈回路とを搭載したチップ補助基板を有して、請求項1記載の半導体集積回路の試験装置。

【請求項5】 前記チップ補助基板が前記デジタル回路基板のこのチップに挿入されるようになされた請求項4記載の半導体集積回路の試験装置。

【請求項6】 前記チップ補助基板が前記デジタル回路基板に積載されている請求項4記載の半導体集積回路の試験装置。

【請求項7】 前記チップ補助装置が前記デジタル回路基板に直接組付けられている請求項1、2または3記載の半導体集積回路の試験装置。

【請求項8】 前記試験用A/D変換回路から前記被試験半導体集積回路のA/D変換回路からのデジタル試験出力を出力する毎に進み信号を出力し、これに基づき、前記デジタル回路からのデジタル試験信号が進み、また測定メモリーへの入力が進み、請求項1記載の半導体集積回路の試験装置。

【請求項9】 前記被試験半導体集積回路のA/D変換回路がデジタル試験出力を出力する毎に前記試験機に進み信号を出力し、この進み信号に基づき、前記デジタル回路からのデジタル試験信号が進み、また測定メモリーへの入力が進み、請求項1記載の半導体集積回路の試験装置。

【請求項10】 デジタル試験信号をアナログ信号に変換するA/D変換回路とデジタル試験信号をデジタル信号に変換するD/A変換回路を有する被試験半導体集積回路を試験する半導体集積回路の試験方法であって、前記被試験半導体集積回路と信号のやり取りを行うデジタル回路基板

の近傍に、デジタル試験信号を発生して前記被試験半導体集積回路のD/A変換回路に供給するデマンド回路と、

このデマンド回路からのデジタル試験信号をアナログ試験信号に変換して前記被試験半導体集積回路のA/D変換回路に供給する試験用D/A変換回路と、前記被試験半導体集積回路のD/A変換回路からのデジタル試験出力をデジタル試験出力に変換する試験用A/D変換回路と、前記被試験半導体集積回路のA/D変換回路からのデジタル試験出力を記憶する測定メモリーと、前記測定メモリーに記憶された前記各デジタル試験出力を解釈する解釈部とを有するチップ補助装置を配置し、試験機からの指示に基づいて前記デジタル試験信号、前記デジタル試験信号を前記被試験半導体集積回路に入力し、前記測定メモリーに記憶された前記各デジタル試験出力を前記解釈部により解釈した解釈結果を、前記試験機に出力するよう構成された半導体集積回路の試験方法。

【請求項11】 前記被試験半導体集積回路が半導体集積回路チップを有し、樹脂で覆われたシリコン樹脂から複数の端子を導出したモールド型上において構成され、前記デジタル回路基板のこのシリコン型上に装着され、試験される請求項10記載の半導体集積回路の試験方法。

【請求項12】 前記被試験半導体集積回路が半導体チップに装着されている前記デジタル回路基板に設けられた複数のワイヤを介して前記被試験半導体集積回路と、デジタル試験を行う請求項10記載の半導体集積回路の試験方法。

【請求項13】 前記チップ補助装置が前記試験用D/A変換回路と前記試験用A/D変換回路と前記測定メモリーと前記解釈回路とを搭載したチップ補助基板を有し、このチップ補助基板を前記デジタル基板の近傍に配置して試験を行う請求項10記載の半導体集積回路の試験方法。

【請求項14】 前記チップ補助基板が前記デジタル回路基板のこのチップに挿入されて試験を行う請求項10記載の半導体集積回路の試験方法。

【請求項15】 前記チップ補助基板が前記デジタル回路基板に積載されて試験を行う請求項10記載の半導体集積回路の試験方法。

【請求項16】 前記チップ補助装置が前記デジタル回路基板に直接組付けられて試験を行う請求項10、11、12または13記載の半導体集積回路の試験方法。

【請求項17】 前記試験用A/D変換回路から前記被試験半導体集積回路のA/D変換回路からのデジタル試験出力を出力する毎に進み信号を出力し、これに基づき、前記デジタル回路からのデジタル試験信号が進み、また測定メモリーへの入力が進み、試験を行う請求項10記載の半導体集積回路の試験方法。

【課題を解決するための手段】  
本発明は、主として、半導体集積回路の試験装置に、前記の如き信号を、入力信号に変換するA、D変換回路と、出力信号を前記の入力信号に変換するD、A変換回路とを備えた被試験半導体集積回路の信号の取り出しを行うように構成されたテスト回路基板、このテスト回路基板の直下に配置されそれに接続されるテスト補助装置、および前記テスト補助装置に接続された試験機を備え、前記テスト補助装置は、前記試験信号を発生して前記被試験半導体集積回路のD、A変換回路に供給するテスト回路と、このテスト回路からの出力信号を前記被試験信号に変換して前記被試験半導体集積回路のA、D変換回路に供給する試験用D、A変換回路と、前記被試験半導体集積回路のD、A変換回路からの出力信号を前記試験出力に変換する試験用A、D変換回路と、前記被試験半導体集積回路のA、D変換回路からの出力信号を前記試験出力と前記試験用A、D変換回路からの出力信号とを記憶する測定データメモリとに記憶された前記測定データを、記憶された前記出力を解析する解析部とを有し、前記試験機からの指令に基づいて前記測定データ試験信号を前記テスト回路信号を被試験半導体集積回路に入力し、前記測定データメモリに記憶された各テスト出力を前記解析部によって解析した解析結果を、前記試験機に伝えるように構成されたものである。

【0011】またこの発明による半導体集積回路の試験装置は、前記半導体集積回路が半導体集積回路がエポキシ樹脂で覆われたエポキシ樹脂から複数の端子を導出したエポキシ型工に設けられ、前記エポキシ回路基板にこのエポキシ型工を装着する工程を有するものである。

【0012】またこの発明による半導体集積回路の試験装置は、前記半導体集積回路が半導体チップに設けられ、前記エポキシ回路基板には前記半導体集積回路がエポキシ樹脂で覆われたエポキシ型工に設けられ、前記エポキシ回路基板にこのエポキシ型工を装着する工程を有するものである。

【0013】またこの発明による半導体集積回路の試験装置は、前記エポキシ補助装置、前記試験用D/A変換回路と前記試験用A/D変換回路と前記測定ゲータモジュールと前記解析回路とを搭載したエポキシ補助基板を有するものである。

【0014】またこの発明による半導体集積回路の試験装置は、前記エポキシ補助基板が前記エポキシ回路基板にエポキシ樹脂で覆われたエポキシ型工に設けられ、前記エポキシ回路基板にこのエポキシ型工を装着する工程を有するものである。

【0015】またこの発明による半導体集積回路の試験装置は、前記エポキシ補助基板が前記エポキシ回路基板に積載されているものである。

【0016】またこの発明による半導体集積回路の試験装置は、前記エポキシ補助装置、前記エポキシ回路基板に直接組付けられているものである。

【0017】またこの発明による半導体集積回路の試験装置は、前記試験用A/D変換回路および前記被試験半導体集積回路のA/D変換回路がデジタル試験出力を出力する毎に進め信号を出力し、これに基づき、前記ゲータ回路からのデジタル試験信号が進み、また測定ゲータモジュールのゲータが進められるものである。

【0018】さらにこの発明による半導体集積回路の試験装置は、前記被試験半導体集積回路のA/D変換回路がデジタル試験出力を出力する毎に前記試験機が進め信号を出力し、この進め信号に基づき、前記ゲータ回路からのデジタル試験信号が進み、また測定ゲータモジュールのゲータが進められるものである。

【0019】またこの発明による半導体集積回路の試験方法は、アナログ信号をデジタル信号に変換するA/D変換回路とデジタル信号をアナログ信号に変換するD/A変換回路を含む被試験半導体集積回路を試験する半導体集積回路の試験方法として、前記被試験半導体集積回路と信号の受け取りを有するエポキシ回路基板の近傍に、デジタル試験信号を発生して前記被試験半導体集積回路のD/A変換回路に供給するゲータ回路と、このゲータ回路からのデジタル試験信号をアナログ試験信号に変換して前記被試験半導体集積回路のA/D変換回路に供給する試験用D/A変換回路と、前記被試験半導体集積回路のD/A変換回路のアナログ試験出力をデジタル試験出力に変換する試験用A/D変換回路と、前記被試験半導体集積回路のA/D変換回路からのデジタル試験出力を

記憶する測定ゲータモジュールと前記測定ゲータモジュールに記憶された前記各デジタル試験出力を解析する解析部とを有するテスト補助装置を配置し、試験機からの指令に基づいて前記デジタル試験信号と前記アナログ試験信号を前記被試験半導体集積回路に与え、前記測定ゲータモジュールに記憶された各デジタル試験出力を前記解析部に与えて解析した解析結果を前記試験機に与えて前記被試験半導体集積回路の試験を行う。

【0020】またこの発明による半導体集積回路の試験方法は、前記被試験半導体集積回路が半導体集積回路がエポキシ樹脂で覆われたエポキシ型工に設けられ、前記エポキシ回路基板にこのエポキシ型工を装着する工程を有するものである。

【0021】またこの発明による半導体集積回路の試験方法は、前記被試験半導体集積回路が半導体チップに設けられ、前記エポキシ回路基板に設けられ、前記エポキシ回路基板にこのエポキシ型工を装着する工程を有するものである。

【0022】またこの発明による半導体集積回路の試験方法は、前記エポキシ補助装置、前記試験用D/A変換回路と前記試験用A/D変換回路と前記測定ゲータモジュールと前記解析回路とを搭載したエポキシ補助基板を有し、このエポキシ補助基板を前記エポキシ回路基板の近傍に配置して試験を行う。

【0023】またこの発明による半導体集積回路の試験方法は、前記エポキシ補助基板が前記エポキシ回路基板にエポキシ樹脂で覆われたエポキシ型工に設けられ、前記エポキシ回路基板にこのエポキシ型工を装着する工程を有するものである。

【0024】またこの発明による半導体集積回路の試験方法は、前記エポキシ補助基板が前記エポキシ回路基板に積載されて試験を行う。

【0025】またこの発明による半導体集積回路の試験方法は、前記エポキシ補助装置、前記エポキシ回路基板に直接組付けられて試験を行う。

【0026】またこの発明による半導体集積回路の試験方法は、前記試験用A/D変換回路および前記被試験半導体集積回路のA/D変換回路がデジタル試験出力を出力する毎に進め信号を出力し、これに基づき、前記ゲータ回路からのデジタル試験信号が進み、また測定ゲータモジュールのゲータが進められて試験を行う。

【0027】さらにまたこの発明による半導体集積回路の試験方法は、前記被試験半導体集積回路のA/D変換回路がデジタル試験出力を出力する毎に前記試験機が進め信号を出力し、この進め信号に基づき、前記ゲータ回路からのデジタル試験信号が進み、また測定ゲータモジュールのゲータが進められて試験を行う。

【0028】

【実施の形態】実施の形態1、図1はこの発明による半導体集積回路の試験装置とそれを使用した試験方法の集





BOST-1Fボード32が配置され、このBOST-1Fボード32上にはコネクタ33が取り付けられている。BOST装置20を構成するBOST-1Fボード21Aも同様に構成され、このBOST-1Fボード21A上面には、実施の形態1と同様の、AD/D/A測定部23、制御部24、メモリ部26、DSP解析部25、及び電源部27が配置されている。

【0048】実施の形態3の電気回路の構成は、実施の形態1の図2と同じであり、この場合、図2中の111Aのチップの相当部分の多数の端子は移触させて、実施の形態1と同様の試験が行われる。この111Aのチップ相当部分の端子は、100%隣接させることが相当部分の試験を実施する。

【0049】実施の形態4（図5はこの発明による半導体集積回路の試験装置とされる使用した試験方法の実施の形態4のDUT部分を示す）（a）図は側面図、（b）図は上面図である。この実施の形態4では、実施の形態3において、BOST-1Fボード20Aを省略されたBOST-1Fボード117、接続構成16も省略され、BOST装置20を構成するAD/D/A測定部21、制御部22、メモリ部24、DSP解析部23、電源部25を含む。この場合、図2中のDUTボード10A上面に配置され、必要な接続が行われる。

【0050】この実施の形態4の回路構成は実施の形態1の図2と同じであり、同様にしてDUT111AのA/D変換回路51、D/A変換回路52の試験が行われる。

【0051】実施の形態2、3において、BOST装置20、またはBOST-1Fボード21AはDUTボード10、10Aの近傍に配置され、実施の形態1と同様に試験が実施されるので、実施の形態1と同様に、試験の高精度化、高速化、装置の低価格化を図ることができる。

【0052】実施の形態5（図6はこの発明による半導体集積回路の試験装置とされる使用した試験方法の実施の形態5の回路構成を示す）は図2に図である。この実施の形態5では、DUT111AのA/D変換回路51がBUSY信号を発生しないタイプであり、このため、図2中の40から117の信号74が供給され、ゲータ回路63のゲート単位で進め動作と、測定ゲータメモリ66のゲートを進める動作を行わせる。なお、BOST-1FボードのA/D変換回路62はBUSY信号を発生するように構成されるので、このBUSY信号は117の信号74と併用してA/D変換回路62の動作が行われる。

【0053】この実施の形態5においても、図2中の40からBOST装置20に供給されるアナログ信号74はデジタル信号であり、図2中の40とBOST装置20との間には、図2中の影響を受けやすいアナログ信号を添加するものではない。実施の形態1と同様に、試験の高精度化、高速化を図ることができる。

#### 【0054】

【発明の効果】以上のようにこの発明は、チップ回路基板の近傍に配置されたチップ補助装置に、ゲータ回路、試験用D/A変換回路、試験用A/D変換回路、測定ゲータメモリ、およびDSP解析部を設け、このチップ補助装置により、被試験半導体集積回路のA/D変換回路およびD/A変換回路の試験を行うことができるので、A/D変換回路、D/A変換回路を含むチップ回路基板が搭載された半導体集積回路の試験を、高精度に、高速に行うことができ、A/D変換試験装置の低価格化を図ることができる。

【0055】また、チップ回路基板にチップ補助装置を、チップ補助装置を、チップ回路基板の近傍に配置することにより、半導体集積回路のA/D変換回路、D/A変換回路の試験を容易に行うことができ、また、チップ補助装置がチップ回路基板を用い、図2中の、近傍に同様の試験を容易に行うことができる。

【0056】また、チップ補助装置に、ゲータ回路、試験用D/A変換回路、試験用A/D変換回路、測定ゲータメモリ、DSP解析部を搭載したチップ補助基板を、チップ補助装置がチップ補助基板に集中して構成して装置の簡便化を図ることができるので、また、チップ補助基板がチップ回路基板のチップ上に挿入されるので、その組立作業も簡便化される。また、そのチップ補助基板がチップ回路基板に搭載すれば、装置をより簡便化できる。

【0057】また、チップ補助装置をチップ回路基板上に直接組み付けることは、装置の構成をより簡便化できる。

【0058】また、試験用A/D変換回路および被試験半導体集積回路のA/D変換回路の進め信号を発生する側の試験機から進め信号を発生する側では、進め信号は、測定ゲータメモリ試験信号を進め、また、測定ゲータメモリ試験信号を進め、効果的な試験を行うことができる。

#### 【図面の簡単な説明】

【図1】 この発明による半導体集積回路の試験装置とされる使用した試験方法の実施の形態1の（a）図はDUT部分の上面図、（b）図はその側面図、（c）図は試験機の構成図、

【図2】 実施の形態1の回路構成を示すブロック図、

【図3】 この発明による半導体集積回路の試験装置の実施の形態2のDUT部分の側面図、

【図4】 この発明による半導体集積回路の試験装置とされる使用した試験方法の実施の形態3の（a）図はBOST-1Fボードの上面図、（b）図はBOST-1Fボードの上面図、（c）図はDUTボードの上面図、（d）図はそれらの側面図、

【図5】 この発明による半導体集積回路の試験装置とされる使用した試験方法の実施の形態4のDUT部分の

示し、(a)図はその側面図、(b)図は上面図。

【図6】 この発明による半導体集積回路の試験装置とそれを使用した試験方法の実施の形態5の回路構成を示すブロック図

【符号の説明】

10, 10A テスト回路基板(DUTボード)、  
11, 11A 被試験半導体集積回路(DUT)、

20 テスト補助装置(BOST装置)、 21, 21A テスト補助基板(BOSTボード)、 40 試験機(ラスタ)、 51 被試験半導体集積回路のA/D変換回路、 52 被試験半導体集積回路のD/A変換回路、 61 試験用D/A変換回路、 62 試験用A/D変換回路、 63 データ回路、 66 測定データメモリ、 69 DSP解析部。

フロントページの続き

(72)発明者 山田 真二

兵庫県伊丹市瑞原四丁目1番地 菱電セミ  
コンダクタシステムエンジニアリング株式  
会社内

(72)発明者 船倉 輝彦

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

ドターム(参考) 2G032 AA09 AB01 AC07 AE02 AE10  
AF01 AG02 AJ05 AJ07 AK01  
AL00  
5J022 AA01 AB01 AC03 BA02 BA05  
CD02 CE01 CE05 CG01